

**DRIVING CIRCUIT INTEGRATED LIQUID CRYSTAL DISPLAY
DEVICE**

Patent Number: JP2000227585
Publication date: 2000-08-15
Inventor(s): SATO HIDEO; MIKAMI YOSHIAKI; KAGEYAMA HIROSHI; NAGANO
TAKAHIRO
Applicant(s):: HITACHI LTD
Requested Patent: ☐ JP2000227585 (JP00227585)
Application
Number: JP19990028116 19990205
Priority Number(s):
IPC Classification: G02F1/133 ; G02F1/1365 ; G09G3/20 ; G09G3/36
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a driving circuit integrated large-size liquid crystal display device which reduces the circuit occupation area of the driving circuit integrated type liquid crystal display device.

SOLUTION: A signal circuit converts digital display data to an analog voltage by couples of positive-polarity and negative-polarity DA converting means 320 and 340 and samples the analog voltage by a sample means; and the DA converting means are characterized by that a voltage corresponding to the digital display data is selected from a gradation voltage group, which is supplied from terminal groups.



Data supplied from the esp@cenet database - I2

TOP

JP2000-08-15
09/938614
08/27/01

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-227585
(P2000-227585A)

(43) 公開日 平成12年8月15日 (2000.8.15)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
1/1365		G 0 9 G 3/20	6 2 3 F
G 0 9 G 3/20	6 2 3	3/36	
3/36		G 0 2 F 1/136	5 0 0

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平11-28116

(22) 出願日 平成11年2月5日 (1999.2.5)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 佐藤 秀夫
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(72) 発明者 三上 佳朗
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
(74) 代理人 100068504
弁理士 小川 勝男

最終頁に続く

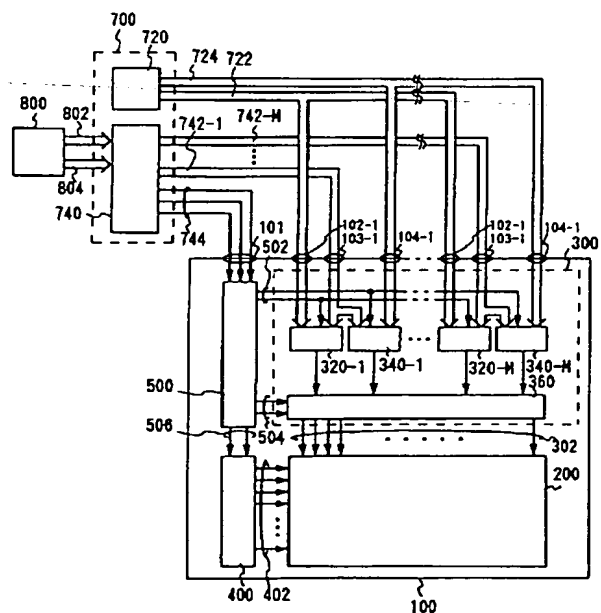
(54) 【発明の名称】 駆動回路一体型液晶表示装置

(57) 【要約】

【課題】本発明は、駆動回路一体型液晶表示装置の回路占有面積を低減することを目的としており、駆動回路一体型で大型サイズの液晶表示装置を提供することを目的とする。

【解決手段】本発明は正極、負極のD A変換手段320、340を一对として、複数対のD A変換手段でデジタル表示データをアナログ電圧に変換し、サンプル手段360で前記アナログ電圧をサンプリングする信号回路において、前記D A変換手段を階調電圧群から前記デジタル表示データに応じた電圧を選択する方式とし、前記階調電圧群を複数の端子群から供給した。

図 1



【特許請求の範囲】

【請求項1】走査線と信号線の交点に設けたスイッチング素子と、前記走査線の電圧を制御する走査回路と、前記信号線の電圧を制御する信号回路を形成した第1の基板、片面に透明電極を形成した第2の基板、前記第1の基板と前記第2の基板に液晶を挟持した液晶表示装置において、

前記信号回路は、階調電圧とデジタル表示データを入力して前記デジタル表示データをアナログ電圧に変換する複数のDA変換手段と、前記複数のDA変換手段から出力される複数の前記アナログ電圧を所定のタイミングでサンプリングするサンプル手段で構成し、

前記階調電圧は、前記複数のDA変換手段に対応した複数の端子群から供給することを特徴とした駆動回路一体型液晶表示装置。

【請求項2】請求項1記載の液晶表示装置において、前記階調電圧を供給する端子群を前記複数のDA変換手段と等しい数にしたことを特徴とする駆動回路一体型液晶表示装置。

【請求項3】請求項1記載の液晶表示装置において、前記階調電圧を入力してより細かい階調電圧を発生する階調電圧発生手段を、各DA変換手段毎に設けたことを特徴とする駆動回路一体型液晶表示装置。

【請求項4】請求項3記載の液晶表示装置において、前記階調電圧発生手段として抵抗ストリングスを用いた駆動回路一体型液晶表示装置。

【請求項5】請求項4記載の液晶表示装置において、前記抵抗ストリングスにゲート電極配線抵抗を用いたことを特徴とする駆動回路一体型液晶表示装置。

【請求項6】請求項4記載の液晶表示装置において、前記抵抗ストリングスの配置は前記DA変換手段を構成する選択スイッチの近傍でかつ選択スイッチの配置と並行にしたことを特徴とする駆動回路一体型液晶表示装置。

【請求項7】走査線と信号線の交点に設けたスイッチング素子と、前記走査線の電圧を制御する走査回路と、前記信号線の電圧を制御する信号回路を形成した第1の基板、片面に透明電極を形成した第2の基板、前記第1の基板と前記第2の基板に液晶を挟持した液晶表示装置において、

前記信号回路は、デジタル表示データをアナログ電圧に変換するDA変換手段と前記アナログ電圧を所定のタイミングでサンプリングするサンプル手段で構成し、正極のアナログ電圧を発生する正極のDA変換手段と、負極のアナログ電圧を発生する負極のDA変換手段を一組のDA変換手段として、複数組のDA変換手段で構成したことを特徴とする駆動回路一体型液晶表示装置。

【請求項8】請求項7記載の液晶表示装置において、3組の前記DA変換手段を一単位として構成し、複数の単位に分けると共に、前記サンプリング手段を前記DA変換手段の組に対応して設けたことを特徴とするカラー

を表示する駆動回路一体型液晶表示装置。

【請求項9】請求項7記載の液晶表示装置において、前記サンプル手段に前記正極のアナログ電圧に接続した第1のスイッチと前記負極のアナログ電圧に接続した第2のスイッチを設け、前記第1、第2のスイッチを所定のタイミングで交互に制御することを特徴とした駆動回路一体型液晶表示装置。

【請求項10】請求項9記載の液晶表示装置において、前記第1のスイッチにP型TFTを、前記第2のスイッチにN型TFTを用いたことを特徴とする駆動回路一体型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス方式の液晶表示装置の駆動回路に関し、特に駆動回路をアクティブマトリクス基板と同一の基板に形成した液晶表示装置に関する。

【0002】

【従来の技術】アクティブマトリクス方式の液晶表示装置は、互いに直交して配置する複数の信号線と走査線の交点にトランジスタを形成した表示部と、複数の信号線と走査線の電圧を制御する駆動回路部で構成される。この表示部に使用するトランジスタは、アモルファスシリコン(a-Si: amorphous-Silicon) 薄膜トランジスタ(TFT: Thin-Film Transistor)、多結晶シリコン(p-Si: poly-Silicon) TFT、単結晶シリコンのMOS(Metal-Oxide Semiconductor) トランジスタなどの種類がある。ここでa-Si TFTはガラス基板に形成され、その駆動回路は単結晶シリコンの集積回路が外付けされる。p-Si TFTは石英基板に形成する高温p-Si TFTとガラス基板に形成する低温p-Si TFTがあり、いずれもその駆動回路は単結晶シリコンのMOSTランジスタと共に表示部と同一の基板に形成される。また、ガラス基板に形成するアモルファスシリコンTFTと低温p-Si TFTは大型のサイズまで実現でき、石英基板と単結晶シリコン基板を用いるものは中、小型のサイズに限定される。

【0003】このようなアクティブマトリクス方式の液晶表示装置の構成および動作をさらに詳しく説明する。

【0004】表示部のトランジスタは、ゲートを走査線に、ドレインを信号線に、ソースを表示電極に接続している。この表示電極に対向して一面に透明電極を形成した対向基板を設け、液晶はこの表示電極と対向基板との間に挟持される。通常、表示電極には保持容量を接続するので、ソース電極には保持容量と液晶容量が並列に接続される。ここで、ゲート電極が選択状態になるとトランジスタは導通し、信号線の映像信号を液晶容量および保持容量に書き込む。ゲート電極が非選択状態になるとトランジスタはハイインピーダンスとなり、液晶容量に書き込まれた映像信号を保持する。

【0005】駆動回路部は、走査線の電圧を制御する走査回路と、信号線の電圧を制御する信号回路で構成されている。走査回路は、各走査線に1フレーム時間ごとに1回走査パルスを印加する。通常このパルスのタイミングはパネルの上側から下に向かって順にずれている。1フレームの時間としては1/60秒がよく用いられる。代表的な画素構成である1024×768ドットのパネルでは、1フレーム時間に768回の走査がおこなわれるので、走査パルスの時間幅は約20μsとなる。この走査回路には通常シフトレジスタが用いられ、このシフトレジスタの動作速度は約50kHzである。

【0006】一方、信号回路は、走査パルスが印加される1行分の画素に対応する液晶駆動電圧を各信号線に印加する。走査パルスが印加された選択画素では走査線に接続されたトランジスタのゲート電極の電圧が高くなり、トランジスタがオン状態になる。このとき、液晶駆動電圧は、信号線からトランジスタのドレイン、ソース間を経由して液晶に印加され、液晶容量と保持容量とを合わせた画素容量を充電する。この動作を繰り返すことにより、パネル全面の画素容量には、フレーム時間ごとに繰り返し映像信号に対応した電圧が液晶に印加される。

【0007】この信号回路は、入力する映像信号によってアナログ方式とデジタル方式がある。アナログ方式の場合、信号線を駆動する信号回路はシフトレジスタとサンプル・ホールド回路で構成される。シフトレジスタは各画素に対応するサンプル・ホールド回路のタイミングを発生する。サンプル・ホールド回路では、このタイミングで各画素に対応する映像信号をサンプリングし、各信号線に液晶駆動電圧を供給する。この駆動方法は、タイミングを発生するシフトレジスタと映像信号をサンプリングするサンプル・ホールド回路を簡単な回路で構成できるので、主に駆動回路一体型の液晶表示パネルに使用される。

【0008】上記画素構成の場合、信号回路のシフトレジスタは走査回路の走査パルスの時間幅で1024のタイミングを発生する。このため、このシフトレジスタのタイミングの時間間隔は20ns以下になり、このシフトレジスタは50MHz以上の動作速度が必要となる。サンプル・ホールド回路にはこのように短い時間タイミングで映像信号をサンプリングすることが要求される。駆動回路一体型の液晶表示装置では、映像信号を複数に分けて入力することでサンプリングの時間を長くする方法が取られている。このため、高速の映像信号をサンプリングによって複数の映像信号に分割するとともに、分割した信号を増幅、交流化を行う信号変換回路が必要になる。

【0009】一方、デジタル方式の場合、信号線を駆動する信号回路は、シフトレジスタ、2段のラッチ回路、デジタルアナログ変換回路（以下DA変換回路）で構成

される。デジタル信号で順次入力される映像信号はシフトレジスタと2段のラッチ回路によって各信号線に対応するラッチ回路に格納する。DA変換回路はこのデータをアナログ電圧に変換して、各信号線に液晶駆動電圧を供給する。

【0010】本方式のラッチ回路及びDA変換回路のビット数は、表示する階調で決定され、フルカラー表示に必要な各色256階調のとき8ビットとなる。上述の画素構成の場合、16384ビット（8ビット×2×1024）のラッチ回路と、1024個の8ビットDA変換回路が必要となる。各信号線のDA変換回路は、ばらつきを小さくするため基準電圧をスイッチで選択する方法が用いられる。本デジタル方式では、映像信号がデジタル信号であるため、信号伝送時のS/Nの劣化を防止できる。

【0011】更に、デジタル方式では、デジタルの映像信号を高速に動作するDA変換器でアナログ信号に変換した後、前記アナログ方式と同じ方法で各信号線の電圧を発生する方法が提案されている。

【0012】上記の各信号線毎にDA変換回路を設ける方法は、例えば特開平9-26765号公報に記載されている。また、デジタルの映像信号をDA変換回路でアナログ電圧に変換した後、サンプル回路で各信号線の電圧を発生する方法は、例えば特開平5-80722号公報または特開平5-173506号公報に記載されている。

【0013】

【発明が解決しようとする課題】従来の信号回路は単結晶Siの集積回路で構成し、アクティブマトリクス基板に外付けしていた。この集積回路は、現状では約300本の信号線毎に分割して設けられる。一方、駆動回路一体型の液晶表示装置では、表示に必要な全ての信号線の駆動回路を同一基板に形成する必要がある。この信号線の本数は前記の例では1024本である。さらに、カラー表示のものではこの3倍の3072本となる。このように、駆動回路一体型の液晶表示装置では、従来の単結晶Siの集積回路で駆動する信号線数の約10倍となる。

【0014】従来例の技術で示した信号回路を駆動回路一体型の液晶表示装置に適用する場合に解決を必要とする課題に説明する。

【0015】上記従来例技術で信号線にDA変換回路を設ける方法は、画素数の増加と表示する階調数増加に伴い回路規模も増大するという問題がある。つまり、DA変換回路の回路規模は水平方向の画素数に比例し、DA変換回路を構成するラッチ回路の回路規模は表示する階調のビット数に比例し、デコード回路や電圧マルチプレクサ回路の回路規模はビット数の二乗に比例する。このため、装置全体のコストアップになるという課題があった。

【0016】さらに、各信号線毎に設けたDA変換回路の出力電圧が他のDA変換回路と干渉するという問題が

ある。これは、各DA変換回路の基準電圧が、各DA変換回路への給電電流とバスラインの抵抗によって変動するためである。この基準電圧の変動はDA変換回路の数とバスラインの長さに比例する。このため、高精細又は大画面にする場合、十分な画質を得ることが出来ないという課題があった。

【0017】上記デジタルの表示データをDA変換回路でアナログ信号に変換した後にサンプリングする方法は、DA変換回路の出力電圧が他のDA変換回路と干渉するという問題がある。本方式のDA変換回路数は画素数に比例するため、高精細の液晶表示装置では複数のDA変換回路を用いて構成することが必要である。このため、前記信号線にDA変換回路を設ける方法と同様に、高精細又は大画面にする場合、十分な画質を得ることが出来ないという課題があった。

【0018】本発明は、駆動回路一体型の基準電圧の変動を抑制することを目的としており、駆動回路一体型で大型サイズの液晶表示装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明に係る駆動回路一体型液晶表示装置の目的を達成するための技術手段について以下説明する。

【0020】第1の発明の液晶表示装置は、走査線と信号線の交点に設けたスイッチング素子と、前記走査線の電圧を制御する走査回路と、前記信号線の電圧を制御する信号回路を形成した第1の基板、片面に透明電極を形成した第2の基板、前記第1の基板と前記第2の基板に液晶を挟持するとともに、前記信号回路を、階調電圧とデジタル表示データを入力して前記デジタル表示データをアナログ電圧に変換する複数のDA変換手段と、前記複数のDA変換手段から出力される複数の前記アナログ電圧を所定のタイミングでサンプリングするサンプル手段で構成し、前記階調電圧を前記複数のDA変換手段に対応した複数の端子群から供給したものである。

【0021】第2の発明の液晶表示装置は、第1の発明の液晶表示装置において、前記階調電圧を供給する端子群を前記複数のDA変換手段と等しい数にしたものである。第3の発明の液晶表示装置は、第1の発明の液晶表示装置において、前記階調電圧を入力してより細かい階調電圧を発生する階調電圧発生手段を、各DA変換手段毎に設けたものである。

【0022】第4の発明の液晶表示装置は、第3の発明の液晶表示装置において、前記階調電圧発生手段として抵抗ストリングスを用いたものである。

【0023】第5の発明の液晶表示装置は、第4の発明の液晶表示装置において、前記抵抗ストリングスにゲート電極配線抵抗を用いたものである。

【0024】第6の発明の液晶表示装置は、第4の発明の液晶表示装置において、請求項4記載の液晶表示装置

において、前記抵抗ストリングスの配置は前記DA変換手段を構成する選択スイッチの近傍でかつ選択スイッチの配置と並行にしたものである。

【0025】第7の発明の液晶表示装置は、前記信号回路を、デジタル表示データをアナログ電圧に変換するDA変換手段と前記アナログ電圧を所定のタイミングでサンプリングするサンプル手段で構成し、正極のアナログ電圧を発生する正極のDA変換手段と、負極のアナログ電圧を発生する負極のDA変換手段を一組のDA変換手段として、複数組のDA変換手段で構成したものである。

【0026】第8の発明の液晶表示装置は、第7の発明の液晶表示装置において、3組の前記DA変換手段を一単位として構成し、複数の単位に分けると共に、前記サンプリング手段を前記DA変換手段の組に対応して設けたことでカラー表示に対応したものである。

【0027】第9の発明の液晶表示装置は、第7の発明の液晶表示装置において、前記サンプル手段に前記正極のアナログ電圧に接続した第1のスイッチと前記負極のアナログ電圧に接続した第2のスイッチを設け、前記第1、第2のスイッチを所定のタイミングで交互に制御するようにしたものである。

【0028】第10の発明の液晶表示装置は、第9の発明の液晶表示装置において、前記第1のスイッチにP型TFTを、前記第2のスイッチにN型TFTを用いたものである。

【0029】

【発明の実施の形態】以下、本発明の実施例を詳細に説明する。図1は本発明における駆動回路一体型液晶表示装置の第1の実施例を示すブロック図である。本実施例では表示データをM(Mは整数)個並列に入力する構成で示している。本実施例は、駆動回路一体型液晶表示パネル100、インターフェース回路700、映像信号源800で構成している。前記液晶表示パネル100は、表示部200、信号回路300、走査回路400、制御回路500で構成すると共に、それぞれが複数の入力パッドで構成される端子群101、102-1~M、103-1~M、104-1~Mを有している。

【0030】前記信号回路300は正極のDA変換回路320-1~320-M、負極のDA変換回路340-1~340-M、電圧マルチプレクサ360で構成している。前記インターフェース回路700は階調電圧発生回路720と信号変換回路740で構成している。

【0031】上記映像信号源800はデジタル表示データ802と制御信号804を前記信号変換回路740へ出力する。制御信号804には図示していないが、水平同期信号Hs、垂直同期信号Vs、クロック信号CK1が含まれる。前記信号変換回路740はシリアルに入力される前記デジタル表示データ804を表示データ742-1~Mの複数個のバラレル信号に変換するとともに

に、前記制御回路500の制御信号744を発生する。制御信号744には図示していないが、前記表示データ742-1~Mのクロック信号CK2、前記水平同期信号Hs、前記垂直同期信号Vs、交流化制御信号FLPが含まれる。前記階調電圧発生回路720は正極の階調電圧722と負極の階調電圧724を発生する。

【0032】前記制御回路500は端子群101を介して前記制御信号744を入力し、正極および負極のDA変換回路320-1~M、340-1~Mのデータ取り込みタイミング指定する2相信号502、前記電圧マルチプレクサ360の制御信号504、前記走査回路400の制御信号506を出力する。前記信号回路300は前記表示データ742-1~M、階調電圧722、724を入力し、M個の表示データ742-1~Mをアナログ信号に変換し、前記電圧マルチプレクサ360に供給する。前記電圧マルチプレクサは前記アナログ信号と制御信号504を入力し、前記表示部200の各信号線302に電圧を供給する。前記走査回路400は前記制御信号506を入力し、前記表示部200の各走査線402に走査信号を出力する。表示部200は前記信号線302と前記走査線402の信号によって画像を表示する。

【0033】本発明の実施例を適用した液晶表示装置では、信号線302の電圧は、配線302に付加される寄生容量を前記階調電圧発生回路720の出力で充電することで設定される。この時の充電電流は、前記階調電圧発生回路720と前記DA変換回路320-1~M、340-1~Mとの間を流れる。このため、前記階調電圧発生回路720と前記DA変換回路との間の配線抵抗と前記充電電流との積で電圧誤差を生ずる。さらに、前記各DA変換回路からの電流が合流する配線部分では前記DA変換回路間で相互干渉する。

【0034】本発明の実施例では、DA変換回路320-1~M、340-1~Mに供給する階調電圧722、724を前記DA変換回路毎に異なる端子群102-1~M、104-1~Mから入力している。さらに、前記各DA変換回路の電流が共通して流れる部分の配線は駆動回路一体型液晶表示パネル100の外にして、低抵抗配線を適用できるようにした。

【0035】上記のように、本発明の実施例では、DA変換回路の誤差を低減して、十分な画質の液晶表示装置を実現できる効果がある。

【0036】本発明の信号回路の実施例を更に詳しく説明する。図2は本発明の駆動回路一体型液晶表示装置における信号回路の第1の実施例である。本実施例では2個のDA変換回路を用いる例について示した。

【0037】信号回路300は、正極のDA変換回路320、負極のDA変換回路340電圧マルチプレクサ360で、正極のDA変換回路320はラッチ回路322、323、デコード回路324、階調電圧変換回路326、電圧選択回路328で、負極のDA変換回路34

0はラッチ回路342、343、デコード回路344、階調電圧変換回路346、電圧選択回路348で、電圧マルチプレクサ回路360はスイッチ361~364、サンプリングスイッチS1~S(N)、シフトレジスタ370、ビデオ信号線372で、制御回路500は2相信号発生回路510、切換えスイッチ511~514、極性制御回路520、インバータ521、シフトレジスタ制御回路540で構成している。

【0038】以上のように構成した本発明の駆動回路一体型液晶表示装置における信号回路の動作を図3に示すタイミング図を用いて説明する。

【0039】図3に示す水平同期信号Hsとクロック信号CK2は制御回路500の内部信号であり、デジタル表示データDIN(742)はクロック信号CK2に同期し、前記水平同期信号HsからD1、D2、D3…の順に入力される。

【0040】極性制御信号FLPは前記極性制御回路520から出力され、前記水平同期信号Hsの周期毎に反転する。ラッチ制御信号φ0、φ1、φ2は前記2相信号発生回路510と前記切換えスイッチ511~514から出力される。前記ラッチ制御信号φ1、φ2は、前記極性制御信号FLPで前記切換えスイッチ511~514を制御することで出力され、水平同期信号Hsを基準にして、前記φ1の位相は、φ2に対して前記極性制御信号FLPが“H”のとき進み、“L”のときに遅れる。前記ラッチ制御信号φ0は、前記φ1、φ2の遅れた信号と等しい位相で出力される。

【0041】前記ラッチ回路322、342は前記デジタル表示データ742を入力し、それぞれ、前記ラッチ制御信号φ1、φ2で制御される。この結果、前記ラッチ回路322は、前記極性制御信号FLPが“H”のときに、デジタル表示データ742の奇数番のデータを取り込み、前記FLPが“L”のときに偶数番のデータを取り込む。一方、前記ラッチ回路342は、前記極性制御信号FLPが“H”のときに、デジタル表示データ742の偶数番のデータを取り込み、前記FLPが“L”のときに奇数番のデータを取り込む。

【0042】前記ラッチ回路323、343はそれぞれ前記ラッチ回路322、342の出力を入力し、前記ラッチ制御信号φ0で制御され、前記ラッチ回路323、343ともに前記φ0のタイミングで出力される。

【0043】前記デコード回路324、344は、それぞれ前記ラッチ回路323、343の出力を入力し、デコード信号を前記電圧マルチプレクサ回路へ出力する。このデコード回路はnビットのデジタル信号の入力と、2のn乗の出力を持ち、入力デジタル値によって2のn乗の出力の中から1つの信号を選択する回路である。前記電圧マルチプレクサ328、348は、それぞれ前記デコード回路324、344の出力と、前記階調電圧変換回路326、346の出力を入力し、アナログ電圧を

出力する。この電圧マルチプレクサは2の n 乗のデコード出力信号と、2の n 乗の階調電圧を入力し、デコード出力によって階調電圧を選択するものである。

【0044】前記階調電圧変換回路326は前記正極の階調電圧722を入力し、2の n 乗の階調電圧を出力し、前記階調電圧変換回路346は前記負極の階調電圧724を入力し、2の n 乗の階を出力する。

【0045】以上の動作により、前記正極のDA変換回路320と前記負極のDA変換回路340は前記デジタル表示データ742をアナログ電圧に変換し、前記電圧マルチプレクサ360に出力する。

【0046】前記電圧マルチプレクサ360の前記スイッチ361、363は前記極性制御信号FLPによって制御し、前記FLPが“H”のときに、前記DA変換回路320、340の出力を前記ビデオ信号線372のV1、V2へそれぞれ出力する。また、前記スイッチ362、364は前記極性制御信号FLPを前記インバータ521で反転した信号で制御し、前記FLPが“L”のときに、前記DA変換回路320、340の出力を前記ビデオ信号線372のV2、V1へそれぞれ出力する。この結果、図3に示すように、前記ビデオ信号線372のV1には、表示データ742の奇数番のデータをアナログに変換した電圧が前記極性制御信号FLPが“H”が“H”、“L”に対応して、正極、負極の電圧として出力される。また、前記ビデオ信号線372のV2には、表示データ742の偶数番のデータをアナログに変換した電圧が前記極性制御信号FLPが“H”が“H”、“L”に対応して、負極、正極の電圧として出力される。

【0047】前記ビデオ信号線372のV1には、前記サンプリングスイッチS1、S2…S(N)の奇数番のスイッチが、前記V2には前記前記サンプリングスイッチS1、S2…S(N)の偶数番のスイッチが接続される。表示部200のN本の信号線302は前記サンプリングスイッチS1、S2…S(N)で制御される。前記シフトレジスタ370は、前記シフトレジスタ制御回路540で制御され、前記ラッチ制御信号φ0のタイミングで変化する多相信号P1、P2…P(N/2)を出力する。前記多相信号P1、P2…P(N/2)は前記サンプリングスイッチを2個ずつ制御し、前記表示データ742を前記DA変換回路320、340で変換したアナログ電圧を前記信号線302に順次出力する。

【0048】以上のような動作で、本発明の駆動回路一体型液晶表示装置における信号回路はデジタル表示データをアナログ電圧に変換し、信号線を制御している。

【0049】図4は本発明の駆動回路一体型液晶表示装置における信号回路の第2の実施例である。図2の実施例と異なるのは、電圧マルチプレクサ360の構成である。本実施例の電圧マルチプレクサは、シフトレジスタ370、N/2個のスイッチ制御回路SC1、SC2

…SC(N/2)、ビデオ信号線372で構成し、前記スイッチ制御回路はAND回路371、372、サンプリングスイッチ373…376で構成している。前記AND回路371は前記シフトレジスタ271の多相信号P1、P2…P(N/2)と、前記極性制御信号FLPを入力して、前記サンプリングスイッチ373、375を制御し、前記AND回路372は前記シフトレジスタ271の多相信号P1、P2…P(N/2)と、前記極性制御信号FLPの反転信号を入力して、前記サンプリングスイッチ374、376を制御している。

【0050】前記サンプリングスイッチ373、374はそれぞれビデオ信号線のV1、V2に接続して奇数番の信号線を駆動し、前記サンプリングスイッチ375、376はそれぞれビデオ信号線のV2、V1に接続して偶数番の信号線を駆動する。前記ビデオ信号線372のV1、V2は前記正極のDA変換回路320、前記負極のDA変換回路340の出力で直接制御している。

【0051】以上の構成では、ビデオ信号線372のV1に正極の電圧が、V2に負極の電圧が印加され、これらの電圧を前記サンプリングスイッチ373、374又は375、376で切換えることで前記信号線302を駆動している。本構成によれば前記DA変換回路320または240の出力と前記信号線302の間のスイッチを1段にできるので、前記信号線302の充電精度を高めることで、高品質の画像を表示できる効果がある。

【0052】さらに、前記ビデオ信号線372のV1に接続し、前記正極のDA変換回路320の出力電圧を制御する前記サンプリングスイッチ373、375はN型のTFTで、前記ビデオ信号線372のV2に接続し、前記負極のDA変換回路340の出力電圧を制御する前記サンプリングスイッチ374、376はP型のTFTで構成できるので、回路規模を低減できる効果がある。

【0053】図5は本発明の駆動回路一体型液晶表示装置における階調電圧変換回路の実施例を示す回路構成図である。本回路はストリングス抵抗R1…R(J)で構成し、前記階調電圧722、又は724を入力した電圧を前記ストリングス抵抗で分圧することで、2の n 乗の階調電圧727または747を出力する。

【0054】図6は本発明の駆動回路一体型液晶表示装置における電圧マルチプレクサと階調電圧変換回路の実施例を示す回路構成図である。本実施例は正極のDA変換回路に適用する場合の回路構成図である。本実施例の電圧マルチプレクサ324はN型のTFTで構成し、前記TFTのゲート電極に前記デコード回路324の出力信号325を接続し、前記TFTのドレイン電極に前記階調電圧変換回路の出力を接続し、前記TFTのソース電極は共通に接続し、出力電圧329を出力する。

【0055】図7は本発明の駆動回路一体型液晶表示装置の第2の実施例を示すブロック図である。図1に示す第1の実施例と異なるのは前記電圧マルチプレクサ36

0を電圧マルチプレクサ360-1~361-Mと、前記正極のDA変換回路320-1~M、前記負極のDA変換回路340-1~Mと同様にM個に分割した点である。このように分割することで、ビデオ信号線の数を低減できると共に、長さを短くできる。この結果、ビデオ信号線の領域を狭くできるとともに、ビデオ信号線の配線抵抗による信号線の充電時間を低減できるので、回路規模を低減できるとともに、高品質の画像を表示することが可能になる。

【0056】この分割方法は正極と負極の2つのDA変換回路を1組として、複数組のDA変換回路と電圧マルチプレクサを1ブロックとして複数のブロックで信号回路を構成してもよい。また、カラーの液晶表示装置においては、赤、緑、青の表示データに対応する正極と負極のDA変換回路の6個を1組として、複数組のDA変換回路と電圧マルチプレクサを1ブロックとして複数のブロックで信号回路を構成してもよい。

【0057】

【発明の効果】本発明の駆動回路一体型の液晶表示装置ではDA変換回路に供給する基準電圧の変動を抑制することができるので、高精細、大画面の液晶表示装置でも十分な画質が得られる効果がある。

【図面の簡単な説明】

【図1】本発明の駆動回路一体型液晶表示装置における第1の実施例を示すブロック構成図である。

【図2】本発明の駆動回路一体型液晶表示装置における信号回路の第1の実施例を示す回路構成図。

【図3】本発明の駆動回路一体型液晶表示装置における第1の実施例の動作を示すタイミング図。

【図4】本発明の駆動回路一体型液晶表示装置における信号回路の第2の実施例を示す回路構成図。

【図5】本発明の駆動回路一体型液晶表示装置における階調電圧変換回路の実施例を示す回路構成図。

【図6】本発明の駆動回路一体型液晶表示装置における電圧マルチプレクサの実施例を示す回路構成図。

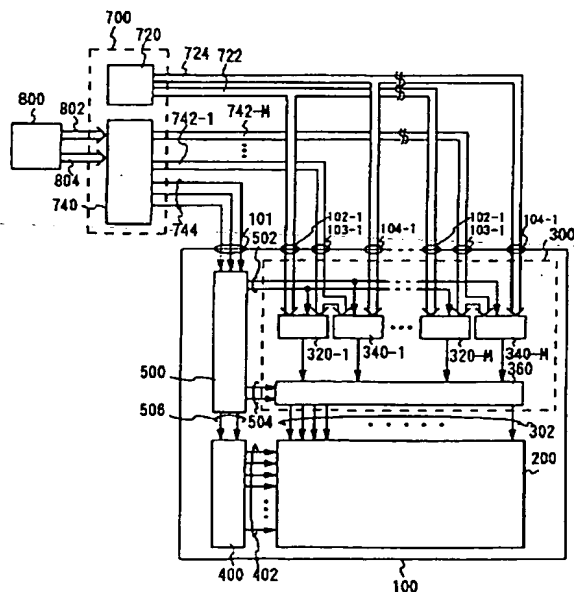
【図7】本発明の駆動回路一体型液晶表示装置における第2の実施例を示すブロック構成図。

【符号の説明】

100…駆動回路一体型液晶表示パネル、200…表示部、300…信号回路、320…正極のDA変換回路、322…ラッチ回路、324…デコーダ回路、326…階調電圧発生回路、340…負極のDA変換回路、360…電圧マルチプレクサ、400…走査回路、500…制御回路。

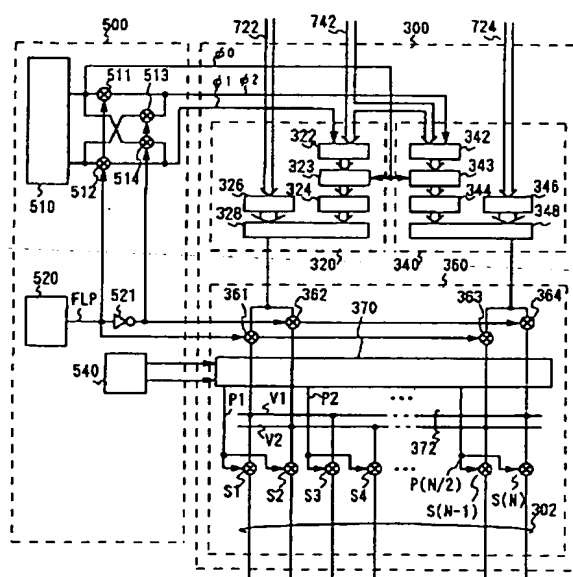
【図1】

図 1

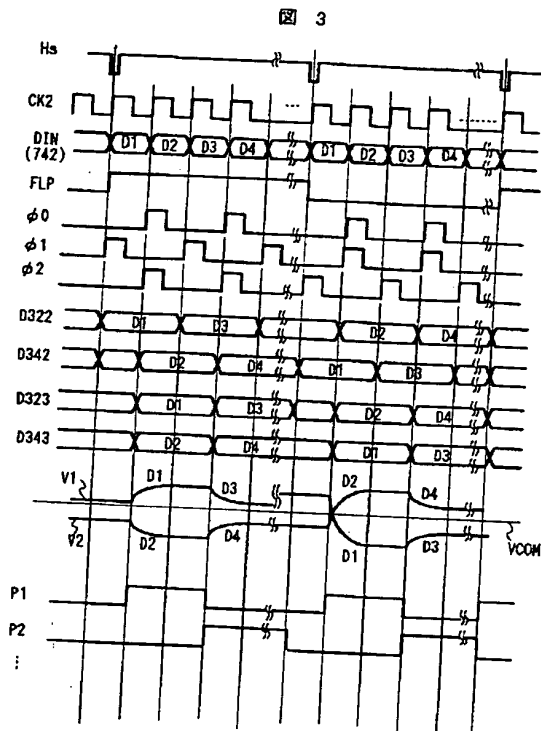


【図2】

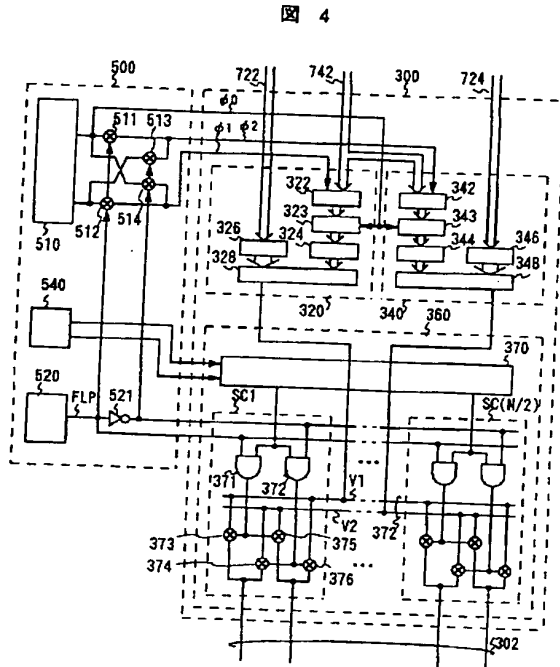
図 2



【図3】



【図4】



【図6】

【図5】

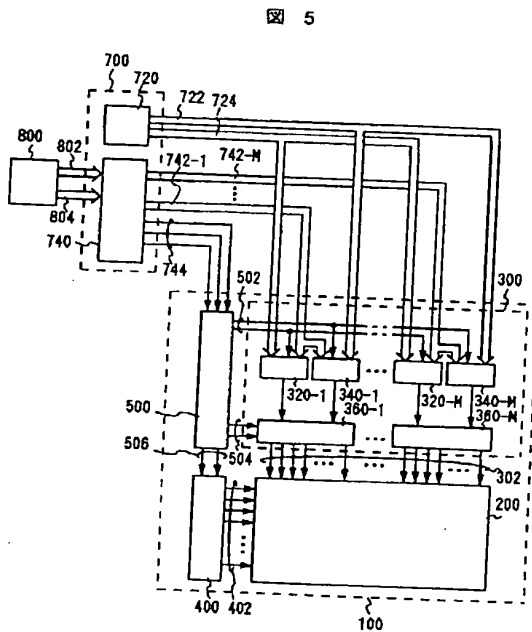
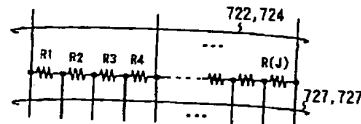
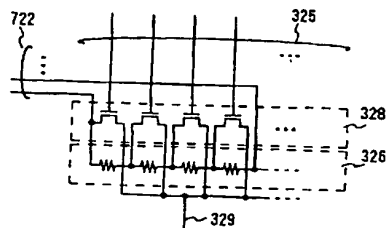


図 6



【図7】

図 7



フロントページの続き

(72)発明者 景山 寛
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 長野 隆洋
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

THIS PAGE BLANK (USPTO)